

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-163544

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

G06K 19/07

G06K 19/077

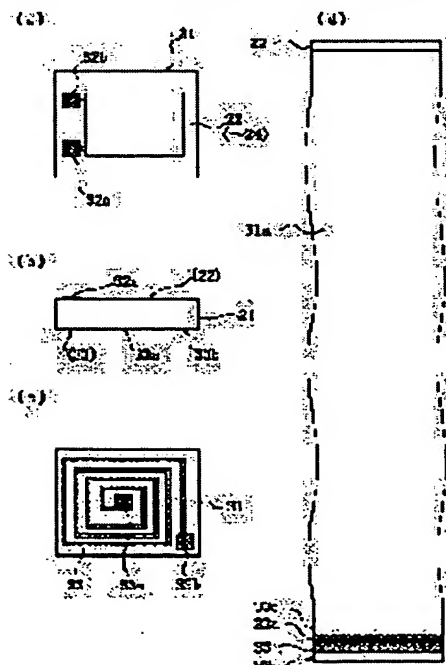
(21)Application number : 10-341438

(71)Applicant : ROHM CO LTD

(22)Date of filing : 01.12.1998

(72)Inventor : TAKUMA TOSHINORI

(54) SEMICONDUCTOR DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To display an excellent communication capability even through integrating a coil with a chip.

SOLUTION: In a semiconductor device provided with a coil 33, a processing circuit 22 which performs communication through the coil 22, and a chip 31 whose principal surface is equipped with the processing circuit 22. The processing circuit 22 is formed on the front side of the chip 31, and the coil 33 having a magnetic layer 33d is formed on the rear side. Thus, not only crosstalk is prevented but also the coupling and tuning capabilities of the coil are improved.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-163544

(P2000-163544A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 6 K 19/07

G 0 6 K 19/00

H 5 B 0 3 5

19/077

K

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願平10-341438

(22) 出願日 平成10年12月1日 (1998.12.1)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 宅間 俊則

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

(74) 代理人 100106345

弁理士 佐藤 香

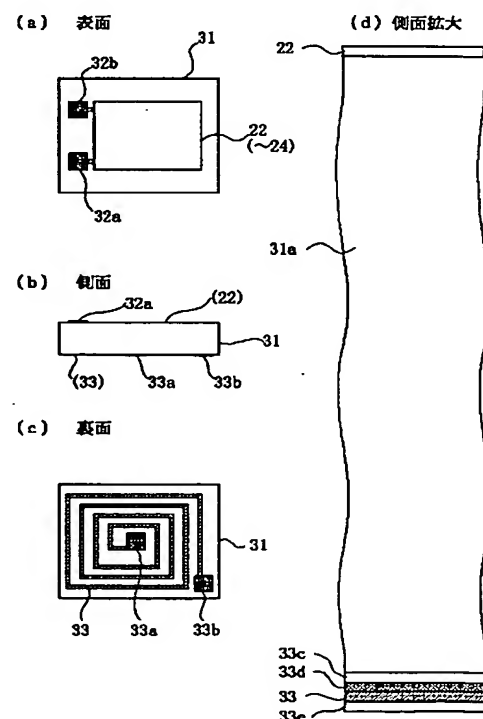
Fターム(参考) 5B035 AA04 BB09 CA01 CA23

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 コイルをチップに一体化しても優れた通信能力を発揮させる。

【解決手段】 コイル33と、このコイル33を介して通信を行う処理回路22と、この処理回路22が主表面に形成されたチップ31とを具える半導体装置において、チップ31の表側に処理回路22が形成されると共に、その裏側に磁性層33dを伴ったコイル33が形成される。これにより、クロストークの防止に加えて、コイルの結合能力および同調能力の強化も達成される。



【特許請求の範囲】

【請求項 1】 コイルと、このコイルを介して通信を行う処理回路と、この処理回路が主表面に形成されたチップとを具える半導体装置において、前記チップの裏面上に形成された磁性層と、この磁性層に重ねて設けられ前記コイルを形成する導体層とを備えたことを特徴とする半導体装置。

【請求項 2】 前記磁性層および前記導体層が複数回積み重ねられたものであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 コイルと、このコイルを介して通信を行う処理回路と、この処理回路が主表面に形成されたチップとを具える半導体装置において、前記チップの裏面上に設けられ前記コイルを形成する導体層と、前記コイルと前記処理回路とを接続する配線が形成されたフィルムとを備えたことを特徴とする半導体装置。

【請求項 4】 前記配線が、前記コイルの捲回数を増加させる曲折部を有するものであることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記フィルムに形成された切り込みに前記チップが挿着されていることを特徴とする請求項 3 又は請求項 4 に記載された半導体装置。

【請求項 6】 前記チップが前記フィルムにて表裏から被包されていることを特徴とする請求項 3 又は請求項 4 に記載された半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は、ICカードや物品タグ等に内蔵されて通信を行う半導体装置に関し、詳しくは、カードの表層板やタグの外周材などの外装部材から切り離してコイルを半導体装置のところに集約する技術に関する。

【0002】

【従来の技術】 図 10 (a) に全体の外観斜視図を示すと共に同図 (b) にその回路ブロックを示した IC カード 10 は、一般的な構造のものであり、半導体装置 20 を、外装部材としての表層板 11 の中に埋め込むようにして、内蔵している。この半導体装置 20 は、コイル 12 を介して通信を行う処理回路としての応用プロセッサ 22 が主表面に形成された IC チップ 21 と、電源ラインに接続された平滑コンデンサ 23 と、コイル 12 に対して並列接続された同調コンデンサ 24 とが一体的化されたモジュールである。

【0003】 この場合、コイル 12 は、アンテナ機能をも高めるために、半導体装置 20 とは別に表層板 11 の中間層などに形成され、応用プロセッサ 22 の出力端子および同調コンデンサ 24 の両端子に接続されている。そこで、半導体装置 20 の実装時には、コイル 12 との電氣的接続を確立する作業が必要となる。また、使用時には、表層板 11 の変形等によりコイル 12 に断線を招き

かねない力が掛かったり、接続部分を介して不所望な歪みや力が半導体装置 20 にまで及んだりする。このため、信頼性の向上を図るのが難しい。

【0004】 これに対し、図 11～図 13 にそれぞれ外観斜視図 (a) 及び回路ブロック図 (b) を示した半導体装置 20 は、上述の難点を克服すべく開発された改良品である。すなわち、特開平 10-193849 号公報 (特願平 8-351383 号) に開示したように、図 11 の半導体装置 20 は、チップ 21 に金属線を巻き付けてコイル 12 を形成したものであり、図 12 の半導体装置 20 は、フィルム 25 にコイルを形成しておいてそれをチップ 21 の主表面に重ね合わせたものであり、図 13 の半導体装置 20 は、チップ 21 の主表面上に設けられた配線層にコイル 12 をパターン形成したものである。

【0005】 この場合、表層板 11 の図示は割愛したが、そこにコイル 12 は無く、コイル 12 はチップ 21 のところに一体化されている。そして、半導体装置 20 の接続部やコイル 12 が表層板 11 との緊結から解放されて、高信頼性ばかりか実装容易性までも達成されている。

【0006】

【発明が解決しようとする課題】 しかしながら、これらのうち図 11 の半導体装置 20 は、コイル 12 を捲回するので、コストが嵩みがちである。残りの図 12 及び図 13 のものは、コイル 12 と処理回路 22 とが密着あるいは密接していることから、両者の信号間に不所望なクロストークが生じやすいので、それを回路設計等で避けるための負担が重くなることがある。また、コイルのサイズ縮小も避けられず、これによって通信可能距離が短縮されるため、カードやタグをリーダやリーダライタ等の通信相手に密着させて又は極く接近させて使用する用途に適用が限られてしまうことも多い。

【0007】 そこで、外装部材からコイルを切り離したことの利点を確保しつつ、さらに改良を進めることが課題となる。この発明は、このような課題を解決するためになされたものであり、コイルをチップに一体化しても優れた通信能力を発揮する半導体装置を実現することを目的とする。

【0008】

【課題を解決するための手段】 このような課題を解決するために発明された第 1 乃至第 6 の解決手段について、その構成および作用効果を以下に説明する。

【0009】 【第 1 の解決手段】

第 1 の解決手段の半導体装置は、(出願当初の請求項 1 に記載の如く)、コイルと、このコイルを介して通信を行う処理回路と、この処理回路が主表面に形成されたチップとを具える半導体装置において、前記チップの裏面上に (直接または他の層を介在させて) 形成された磁性層と、この磁性層 (の上または下) に重ねて設けられ前記コイルを形成する導

体層とを備えたものである。

【0010】このような第1の解決手段の半導体装置にあっては、チップの表側に処理回路が形成されると共にその裏側に磁性層を伴ったコイルが形成され、一体化が達成される。しかも、コイルと処理回路とがチップ厚さの分だけ離れるとともに、磁性層の隣接によってコイルのインダクタンス及びQが高められる。このように、コイルと処理回路とが離れたことで両者のクロストークが防止されるばかりか、コイルのインダクタンス等が向上したことでコイルの結合能力および同調能力が強化される。

【0011】そして、これらが相まって、通信距離が延びることとなる。また、このような半導体装置は、ICプロセスだけで容易に量産しうるので、製造も楽になる。したがって、この発明によれば、コイルをチップに一体化しても優れた通信能力を発揮する半導体装置を実現することができる。

【0012】【第2の解決手段】第2の解決手段の半導体装置は、(出願当初の請求項2に記載の如く)、上記の第1の解決手段の半導体装置であって、前記磁性層および前記導体層が複数回積み重ねられたものであることを特徴とする。

【0013】このような第2の解決手段の半導体装置にあっては、コイルの導体層およびそれに伴う磁性層が多層化して、コイルの巻回数が増加する。これにより、コイルのインダクタンスが大きくなって、一層通信距離が延びることとなる。一方、チップサイズは、ほとんど増えないで済む。したがって、この発明によれば、コイルをチップに一体化しても一層優れた通信能力を発揮する半導体装置を実現することができる。

【0014】【第3の解決手段】第3の解決手段の半導体装置は、(出願当初の請求項3に記載の如く)、コイルと、このコイルを介して通信を行う処理回路と、この処理回路が主表面に形成されたチップとを具える半導体装置において、前記チップの裏面上に(直接または他の層を介在させて)設けられ前記コイルを形成する導体層と、前記コイルと前記処理回路とを接続する配線が形成されたフィルムとを備えたものである。

【0015】このような第3の解決手段の半導体装置にあっては、チップの表側に処理回路が形成されると共にその裏側にコイルが形成され、一体化が達成される。しかも、コイルと処理回路とがチップ厚さの分だけ離れるとともに、離れていてもフィルムの配線にて接続されて電氣的導通が確保される。このように、コイルと処理回路とが離れたことにより、両者のクロストークが防止されて、通信距離が延びる。しかも、ICの量産化およびその実装コストの削減に向けたTAB(Tape Automated Bonding)等のフィルム配線技術などを利用して、容易かつ確実に而も効率良く接続を行えるので、コストも下がることとなる。したがって、この発明によれば、コ

イルをチップに一体化しても優れた通信能力を発揮する半導体装置を安価にすることができる。

【0016】【第4の解決手段】第4の解決手段の半導体装置は、(出願当初の請求項4に記載の如く)、上記の第3の解決手段の半導体装置であって、前記配線が、前記コイルの巻回数を増加させる曲折部を有するものであることを特徴とする。

【0017】このような第4の解決手段の半導体装置にあっては、接続用に導入されたフィルムにおける配線が、コイルの機能を一部分担する。これにより、コイルの結合能力が更に高まることとなる。したがって、この発明によれば、コイルをチップに一体化しても更に優れた通信能力を発揮する半導体装置であって安価なものを実現することができる。

【0018】【第5の解決手段】第5の解決手段の半導体装置は、(出願当初の請求項5に記載の如く)、上記の第3、第4の解決手段の半導体装置であって、前記フィルムに形成された切り込みに前記チップが挿着されたものである。

【0019】このような第5の解決手段の半導体装置にあっては、フィルムの表裏両面がチップの表裏両面と接触するので、フィルムの両面をチップ両面の導通接続に用いることが可能である。これにより、TABボンダ等を利用して接続させる際に、フィルムキャリアテープ等のテープ状フィルムが一本で済む。

【0020】【第6の解決手段】第6の解決手段の半導体装置は、(出願当初の請求項6に記載の如く)、上記の第3、第4の解決手段の半導体装置であって、前記チップが前記フィルムにて表裏から被包されているものである。

【0021】このような第6の解決手段の半導体装置にあっては、対向させた一対のフィルムや折り曲げた単一のフィルム等が用いられ、フィルムの配線形成面をチップ側にしてチップの表裏両面からそのチップをフィルムが挟むことで、処理回路とコイルとが接続される。これにより、フィルムに切り込みやスルーホールを形成する必要がなくなるので、製造が楽で、コストも下がることとなる。

【0022】

【発明の実施の形態】このような解決手段で達成された本発明の半導体装置について、これを実施するための形態を、第1実施例～第5実施例により、説明する。図1～図3に示した第1実施例は、上述の第1解決手段および第3解決手段を具現化したものであり、図4～図5に示した第2実施例は、上述の第1～第5解決手段を具現化したものであり、図6～図7に示した第3実施例は、上述の第1～第4解決手段および第6解決手段を具現化したものである。また、図8に示した第4実施例は第1実施例を変形したものであり、図9に示した第5実施例は第2実施例を変形したものである。

【0023】

【第1実施例】本発明の半導体装置の第1実施例について、その具体的な構成を、図面を引用して説明する。図1は、そのチップの構造を示すものであり、(a)が主表面の模式図、(b)が側面の模式図、(c)が裏面の模式図、(d)が一部側面の拡大断面図である。また、図2は、そのフィルムの構造を示すものであり、(a)が上面の模式図、(b)が横から見た模式図、(c)が下面の模式図である。さらに、図3は、そのチップとフィルムとを組み上げた状態の半導体装置を示すものであり、(a)が側面図、(b)が平面図、(c)が全回路のブロック図である。

【0024】この半導体装置30は(図3参照)、図11～図13の半導体装置20に代わるものであり、アンテナの機能を担うコイル33と、このコイル33を介して通信を行う処理回路22とが、共に、ICチップ31に一体化されている。また、コイル33と処理回路22との接続を担うためにフィルム34が導入されているが、このフィルム34とチップ31との接続後に適宜のプラスチックや弾性樹脂等でモルディングがなされて、フィルム34もチップ31と一体的に纏められる。

【0025】ICチップ31は(図1参照)、その主表面すなわちシリコンサブストレート31aの片面に(同図(b)、(d)では上方)、半導体装置20同様に一般的な半導体製造工程を利用して、処理回路22が平滑コンデンサ23や同調コンデンサ24と共に形成されるが、コイル33への信号出力ラインに連なる接点32a、32bも形成される(同図(a)参照)。処理回路22等は絶縁保護膜等で被われるが、接点32a、32bは接続のために露出している。なお、処理回路22は、典型的には、通信用の同調回路や電源用の整流回路などに加えてメモリや応用プロセッサ等も具えているが、その具体的構成はアプリケーションに応じて種々変形されるものであり、要するにコイル以外の通信回路を含めてIC化・モジュール化可能な回路であれば良い。

【0026】そのICチップ31の裏面(図1(c)参照)すなわち主表面の反対側に当たるサブストレート31aの他面には(同図(b)、(d)では下方)、サブストレート31aを裏返した状態で半導体製造工程が施されて、コイル33が形成される(図1(c)参照)。具体的には(図1(d)参照)、サブストレート31aの他面に対して、まず、高圧酸化等の手法にて酸化膜(SiO_2)等の層間絶縁膜33cが形成され、次に、酸化鉄(FeOx)粉を樹脂に混ぜておいてこれをスピナでコーティングする等の手法にて透磁率の高い磁性層33dが形成される。これにより、磁性層33dは、チップ31の裏面上に絶縁層33cを介在させて形成されたものとなる。

【0027】さらに続けて、順に、スパッタ等の手法にて金属膜(Alや、Cuなど)等の導体層(33)が形

成され、そこにフォトリソやエッチング等の手法にて導体層からコイル33がパターン形成され、それに重ねてCVD等の手法にて酸化膜(SiO_2)やリンガラス(PSG)等の絶縁保護膜33eが形成される。また、コイル33の形成と同時に、その両端に、接点33a、33bも形成されが、これらのところの絶縁保護膜33eはエッチング等で除去され、接点33a、33bは露出する。これにより、コイル33は、チップ31の裏面上に介在する磁性層33dの上に重ねて設けられた導体層から形成されたものとなる。

【0028】フィルム34は(図2参照)、量産に適したTABが用いられる。これは、ポリイミドやポリスチレンなど絶縁性および可撓性に優れたプラスチックの薄い膜をベースにしたものであり、その両面に亘って、コイル33と処理回路22とを接続する配線(37a～37f、38a～38f)が、銅等の金属膜の印刷やエッチングによって、形成されている。また、このフィルム34には、中央部35と辺縁部36とを画する「コ」の字状の切り込み35aが形成され、中央部35が辺縁部36から持ち上げられるようになっている(図2(b)参照)。

【0029】さらに(図2(a)、(c)参照)、接点37aがフィルム34の上面で辺縁部36のところに露出して形成され、絶縁被覆された導線37bがそこからスルーホール37cに至る一方で、接点37eがフィルム34の下面で中央部35のところに露出して形成され、絶縁被覆された導線37dがそこからスルーホール37cに至るように、パターン形成がなされていて、フィルム34の両面に分かれた両接点37a、37eが導通するようになっている。また、もう一対の接点38a、38eも、導線38b、スルーホール38c、導線38dを介して、導通するようになっている。

【0030】このようなチップ31とフィルム34は(図3(a)、(b)参照)、チップ31をフィルム34の中央部35と辺縁部36との間に挟み込むようにして組み立てられる。その際、チップ31の主表面を下にしてフィルム34の辺縁部36の上面に乗せるとともに、上に来たチップ31の裏面に対しその上からフィルム34の中央部35の下面に乗せる。そして、接点32aと接点37aとを接続し、接点32bと接点38aとを接続し、接点33aと接点37eとを接続し、接点33bと接点38eとを接続する。これら4カ所の接続は、低融点の半田ペースト等を該当個所に塗り込んでおいて、軽く加圧しながら加熱すること等で、容易かつ確実に行われる。

【0031】接続後、チップ31及びフィルム34は、纏めてモールドされ、一体物となる。これにより、コイル33も一体化した半導体装置30が出来上がる。なお、チップ31とフィルム34との組立は、フィルム34をフィルムキャリアにセットしておく等のことで既存

のTABボンダ等でも大部分の工程を連続処理することが可能であり、TABボンダを改造するにしても、フィルム34の中央部35を持ち上げてチップ31の上へ乗せるために、吸着ヘッドの付いたアームを追加する程度で済む。これにより、半導体装置30は、簡単に量産することができる。

【0032】この第1実施例の半導体装置30について、その使用態様及び動作を説明する。

【0033】使用に先だって、半導体装置30は、図11～図13の半導体装置20と同様に図示を割愛したが、コイルを持たない表層板11等の外装部材の中に適宜の空間等を形成しておいて、その中に埋め込まれる。その際、空間内でがたついて衝撃を受けたり外装部材の変形力が強く伝わったりしないように、弾性接着剤の充填なども、適宜行われる。こうして、半導体装置30でも、外装部材からコイルを切り離したことの利点である高信頼性および実装容易性が確保される。

【0034】処理回路22による論理演算や電力生成等の動作は、図11等の半導体装置20と同様なので、その詳細な説明は割愛する。また、通信動作に関しても、その通信手順や搬送波の周波数などは、やはり同様なので説明を割愛する。これに対し(図3(c)参照)、コイル33と処理回路22との接続にフィルム34が介在していることと、コイル33に磁性層33dが隣接していることに基づいて、通信能力は向上している。

【0035】フィルム34の存在により、処理回路22とコイル33とがチップ31の表裏に分かれていても、処理回路22とコイル33とで信号伝達が可能になり、送信信号は処理回路22からコイル33に印加される。また、図示しないリーダライタ等から送られて来た信号は、コイル33で受信され、この受信信号が処理回路22に取り込まれて、復調や復号等されるとともに、整流されて、交信動作や電力生成が行われる。そして、その際、コイル33に流れる電流等によって、処理回路22の信号ラインのうちコイル33と並行して走るとようなラインに対してクロストークノイズが引き起こされるが、処理回路22とコイル33との間にサブストレート31aが存在していて両者間が遮られるとともに両者がその厚さの分だけ離隔するので、クロストークノイズは減殺される。

【0036】また、コイル33は、磁性層33dが隣接しているので、その特性が空心コイルよりも磁心入りコイルに近づき、インダクタンスが増加するとともに、コイルのQも上がる。そして、インダクタンスの増加に伴って、リーダライタ等の通信相手のコイルとの結合度が高まるので、通信距離が延びることとなる。さらに、Qの上昇に伴って、同調コンデンサ24等とで構成する共振回路における共振特性が同調周波数で急峻に変化するので、同調特性も良好なものとなり、これによっても通信特性が向上する。

【0037】こうして、この半導体装置30は、安価に量産され、ICカードや物品タグ等に組み込まれて使用されるが、ICカード等の外装部材が多少曲がったりしてもコイル断線等の心配が無く、しかも、カードやタグをリーダ等の通信相手に密着させたり極く接近させたりしないで或る程度たとえば数mm以上離しても交信ができるので、種々の用途に広く適用されることとなる。

【0038】

【第2実施例】本発明の半導体装置の第2実施例について、その具体的な構成を、図面を引用して説明する。図4は、そのチップ及びフィルムの構造を示すものであり、(a)がチップの主表面の模式図、(b)がチップの一部側面の拡大断面図であり、(c)がフィルムの模式図である。また、図5は、そのチップとフィルムとを組み上げた状態の半導体装置を示すものであり、(a)が外観の斜視図、(b)が全回路のブロック図である。

【0039】この半導体装置40は、上述した半導体装置30のチップ31がチップ41に改良されるとともに(図4(a)、(b)参照)、フィルム34がフィルム44にて置き換えられたものとなっている(図4(c)参照)。

【0040】チップ41は、チップ31の裏面に対して、絶縁保護膜33eの形成で終わることなく、さらに順次、磁性層33dと同様の磁性層43aが形成され、コイル33と同様にして導体層が形成されるとともにそれからコイル43がパターン形成され、絶縁保護膜43bも形成される。そして、適宜のところに各層を貫通する穴を異方性エッチング等で形成するとともにその貫通穴にタングステン等の配線材料を埋め込む等の処理も施して、接点33aとコイル33とコイル43と接点33bとを直列に接続するとともに、接点33a、33bを露出させる。これにより、チップ41は、磁性層33d、43aおよび導体層33、43が複数回積み重ねられたものとなっている。

【0041】フィルム44が上述のフィルム34と異なるのは、切り込み45a、45bが、2本に分かれて、略平行する「=」の字状となり、中央部45を両側から挟むように形成されている点である。また、フィルム44では、接点37aから接点37eに至る導線37b、37dが、切り込み45a、45bの周りを大きく迂回し、導線38b、38dと合わせて概ね一周している。これにより、フィルム44は、フィルム4.4の配線(37a～37f、38a～38f)がコイル33+43の巻回数を増加させる曲折部を有したものとなっている。

【0042】そして、やはりTABボンダ等を用いてチップ41とフィルム44とが一体化されるが、その際(図5(a)参照)、フィルム44の下面を周辺部だけボンダ台上に吸着し、同時にフィルム44の上面のうち切り込み45a、45bの間の中央部45を吸着アーム等で上方に吸引して、切り込み45a、45bが開いた

ときに、横からチップ 41 を裏返した状態で差し込む。すると、チップ 41 がフィルム 44 に挟み込まれるので、接点 32a、32b、33a、33b と接点 37a、38a、38e、37e とのそれぞれについて、位置を確認してから接続を行う。これにより、半導体装置 40 は、フィルム 44 に形成された切り込み 45a、45b にチップ 31 が挿着されたものとなる。

【0043】この場合（図 5（b）参照）、磁性層 43a の追加によって磁性層 33d だけのときより磁心の能力が増強されるうえ、コイル 43 の追加によってコイル 33 だけのときよりコイルの巻回数が倍増するばかりか、導線 37b、38b 等による巻回分までも加増される。こうして、層数が 2 倍になった以上の倍率で、コイルのインダクタンスが増大し、通信距離が飛躍的に延びることとなる。

【0044】

【第 3 実施例】本発明の半導体装置の第 3 実施例について、その具体的な構成を、図面を引用して説明する。図 6 は、そのフィルムの構造を示すものであり、（a）が上側フィルムの下面図、（b）が下側フィルムの上面図である。また、図 7 は、そのフィルム等を組み上げた状態の半導体装置を示すものであり、（a）が外観の側面図、（b）が全回路のブロック図である。さらに、図 7（c）は IC カードにまとめ上げたものについての全体外観の斜視図であり、図 7（d）は物品タグにまとめ上げたものについての全体外観の斜視図である。

【0045】この半導体装置 50 が上述の半導体装置 30（図 2～図 3）と相違するのは、フィルム 34 が 2 枚のフィルム 54、55 にて置き換えられる点である（図 6 参照）。チップ 31 は同じものが用いられる。上側フィルム 54 は（図 6（a）参照）、その下面に、フィルム 34 の下面（図 2（c）参照）とほぼ同様の導線 37d、38d 及び接点 37e、38e が形成されているが、スルーホール 38c に代えて接点 54a が形成されるとともに、スルーホール 37c に代えて接点 54b が形成されている。

【0046】これに対し、下側フィルム 55 は（図 6（b）参照）、その上面に、フィルム 34 の上面（図 2（a）参照）とほぼ同様の導線 37b、38b 及び接点 37a、38a が形成されているが、スルーホール 38c に代えて接点 55a が形成されるとともに、スルーホール 37c に代えて接点 55b が形成されている。そして、やはり TAB ボンダ等を用いてチップ 31 とフィルム 54、55 とが一体化されるが、その際（図 7（a）参照）、フィルム 55 の上にチップ 31 が乗せられ、その上に上側フィルム 54 が乗せられ、その状態で、接点 32a、32b、33a、33b と接点 37a、38a、38e、37e とがそれぞれ接続される際に、接点 54a と接点 55a が接続されるとともに、接点 54b と接点 55b も接続される。

【0047】具体的には、まず、下側フィルム 55 の上面に逆さのチップ 31 を乗せて、接点 32a と接点 37a を接続すると同時に、接点 32b と接点 38a も接続する。次に、それらの上に上側フィルム 54 を被せて、その下面とチップ 31 との接点 2ヶ所 33a + 37e、33b + 38e を接続する。さらに、フィルム同士 54、55 の接点 2ヶ所 54a + 55a、54b + 55b も接続する。それから、上側フィルム 54 を切り抜き、上側フィルム 54 及びチップ 31 を適宜の樹脂等で封止する。そして、最後に、下側フィルム 55 も切り抜くと、一個の半導体装置 50 が出来上がる。これにより、半導体装置 50 は、チップ 31 がフィルム 54、55 にて表裏から挟むように被包されたものとなる。

【0048】この場合、半導体装置 30、40 では 1 本だけだったフィルムキャリアテープが 2 本になるが、その代わりに、フィルム 54、55 が、何れも、片面だけに配線パターン形成されたシンプルなものでも足りるうえ、切り込みの形成も不要となっている。

【0049】なお、こうして出来上がった半導体装置 50 は、IC カード 60 や物品タグ 70 等に組み込まれて使用される。そして、IC カード 60 となる場合は（図 7（c）参照）カード状の表層板 11 に埋め込まれ、物品タグ 70 となる場合は（図 7（d）参照）タグに適した形状の外周部材 11a に埋め込まれるが、表層板 11、外周部材 11a の何れにも、図 10 のコイル 12 の如きものは、不要となっている。

【0050】

【第 4 実施例】本発明の半導体装置の第 4 実施例について、その具体的な構成を、図面を引用して説明する。図 8（a）は、フィルム上面の模式図であり、上述した図 2（b）に対応している。また、図 8（b）及び（c）は、そのフィルムと図 1 のチップとを組み上げた状態の半導体装置を示し、そのうち（b）は側面図であって既述の図 3（a）に対応し、（c）は平面図であってやはり既述の図 3（b）に対応している。

【0051】この半導体装置 80 が上述の半導体装置 30（図 2～図 3）と相違するのは、フィルム 34 が図 8（a）のフィルム 84 にて置き換えられる点と、チップ 31 の接点 33a 及び 33b に対する接続が別の手法で行われる点である。チップ 31 は同じものが用いられる。

【0052】フィルム 84 がフィルム 34 と相違するのは、導線 37d 及び導線 38d が導線 37b や導線 38b と同じく上面に形成されている点と、接点 37e 及び接点 38e に代えて該当箇所に打ち抜き穴 87e 及び打ち抜き穴 88e が形成されている点である。これにより、フィルム 84 では、導線や接点を片面だけに形成すれば足りるうえ、スルーホール（図 2 の 37c、38c）も不要となり、その結果、製造コストを削減することができる。

【0053】そして、チップ31の接点33aとフィルム84の導線37dとを接続するには、まず、接点33aの上に半田バンプ89aを形成しておく。半田バンプ89aは、打ち抜き穴87eより細く、フィルム34の厚さより高く、形成する。次に、チップ31にフィルム34の中央部35を被せたときに半田バンプ89aが打ち抜き穴87eから頭を出すように位置合わせを行う。それから、半田バンプ89aに対し、適宜の温度に加熱した治具を上から軽く押し当てて、半田バンプ89aの頭を溶融させながら少し潰すことでその周囲の導線37dに溶着させる。

【0054】チップ31の接点33bとフィルム84の導線38dとの接続も、接点33b上に同様の半田バンプ89bを形成しておいてから、同様に半田付けすることで、行う。なお、両接続は、逐次に行っても良く、適宜の治具で纏めて同時におこなっても良い。こうして、片面だけに配線パターンの形成されたシンプルなフィルムを一枚しか用いないものであっても、半田付けで、容易かつ安価に、必要な電氣的接続が確立される。

【0055】

【第5実施例】本発明の半導体装置の第5実施例について、その具体的な構成を、図面を引用して説明する。図9(a)は、フィルム上面の模式図であり、上述した図4(c)に対応している。また、図9(b)は、そのフィルムと図4のチップとを組み上げた状態の外観を示す斜視図であり、上述した図5(a)に対応している。

【0056】この半導体装置90が上述の半導体装置40(図4～図5)と相違するのは、フィルム44が図9(a)のフィルム94にて置き換えられる点と、チップ41の接点33a及び33bに対する接続が別の手法で行われる点である。チップ41は同じものが用いられる。

【0057】フィルム94がフィルム44と相違するのは、導線37d及び導線38dが導線37bや導線38bと同じく上面に形成されている点と、接点37e及び接点38eに代えて該当個所に打ち抜き穴97e及び打ち抜き穴98eが形成されている点である。これにより、フィルム94でも、導線や接点を片面だけに形成すれば足りるうえ、スルーホールが不要となって、製造コストを削減することができる。

【0058】そして、チップ41の接点33aとフィルム94の導線38dとの接続、及び接点33bと導線37dとの接続は、上述の半田バンプ89a、89bと同様な半田バンプ99a及び半田バンプ99bを接点33a、33b上に形成しておいて、これを利用して第4実施例と同様に、行われる。こうして、この場合も、片面だけに配線パターンの形成されたシンプルなフィルムを一枚だけ用いて、半田付けで、容易かつ安価に、必要な電氣的接続が確立される。

【0059】

【変形例】なお、上述の実施例では、フィルム34をTABで構成し、その組立をTABボンダで行うようにしたが、これに限らず、フィルム34は絶縁性と可撓性とを兼ね備えたものであれば良く、例えば、フィルム34をFPCで構成し、その組立を適宜の組立ロボットで行うようにしても良い。また、各接点の接続に用いる低融点半田は、融点が80°C～150°Cのものが一般的であるが、フィルム基材の特性等に応じて、適宜、80°C以下のものや、150°C以上のものを使うのも良い。あるいは、各接点の接続は、半田技術に拘束されるものでも無いので、導電性接着剤を利用したり、超音波振動による接合技術などを利用するのも良い。

【0060】さらに、サブストレート31aは、シリコンに限らず、コスト等の条件が適えば、GaAs基板等でも良い。また、コイル33の長さ等は、フィルムの配線の寄与分も含めて、通信に用いる搬送波の周波数(例えば13.56MHzなど)が決まれば、その波長に対応した適切な値に設定される。

【0061】上述の実施例では、磁性層と導体層とを直接に重ねて設けたが、これに限らず、間接的に重ねても良い。例えば、磁気特性を損なわないものであれば、絶縁層や応力緩和層など、適宜の中間層を導入し、これを磁性層と導体層との間に介在させるようにしても良い。また、上述の実施例では、チップを裏返してフィルムに装着したが、これに限定されるもので無く、チップを裏返すか否かは、接点配置の設計負担や接続作業の負担などを考慮して、適宜選択すれば良い。

【0062】上述の第2実施例では、磁性層および導体層を2重にしたが、これに限らず、3重以上の多層にしても良い。また、上述の第3実施例では、2枚のフィルムでチップを挟むようにしたが、フィルムを折り曲げてチップを挟むようにしても良い。その場合、組立装置にフィルムの折り曲げ機構を付加することで、片面配線のフィルムが1本だけで足りることとなる。

【0063】

【発明の効果】以上の説明から明らかなように、本発明の第1の解決手段の半導体装置にあっては、チップの表側に処理回路が形成されると共にその裏側に磁性層を伴ったコイルが形成されるようにしたことにより、クロストークの防止に加えて結合能力等の強化もなされて、コイルをチップに一体化しても優れた通信能力を発揮する半導体装置を実現することができたという有利な効果が有る。

【0064】また、本発明の第2の解決手段の半導体装置にあっては、コイルのインダクタンスが大きくなるよう多層化したことにより、コイルをチップに一体化した半導体装置の通信能力を一層高めることができたという有利な効果を奏する。

【0065】さらに、本発明の第3の解決手段の半導体装置にあっては、チップの表裏に分けて形成した処理回

路とコイルとをフィルム配線で接続するようにしたことにより、クロストークの防止に加えて量産向きの配線技術も利用可能となって、コイルをチップに一体化しても優れた通信能力を発揮する半導体装置を安価にすることができたという有利な効果がある。

【0066】また、本発明の第4の解決手段の半導体装置にあつては、フィルム配線にもコイル機能を持たせるようにしたことにより、コイルの結合能力が更に高められて、コイルをチップに一体化した安価な半導体装置の通信能力を更に高めることができたという有利な効果を奏する。

【0067】また、本発明の第5の解決手段の半導体装置にあつては、フィルムの両面を接続に用いるようにしたことにより、一括ボンディング等に際してテープ状フィルムが一本で済むようになったという有利な効果がある。

【0068】また、本発明の第6の解決手段の半導体装置にあつては、フィルムの配線形成面でチップチップ挟むようにしたことにより、フィルムに切り込み等を形成しないで済み、その結果、製造が楽になりコストも下げることができたという有利な効果を奏する。

【図面の簡単な説明】

【図1】 本発明の半導体装置の第1実施例について、そのチップの構造を示すものであり、(a)が主表面の模式図、(b)が側面の模式図、(c)が裏面の模式図、(d)が一部側面の拡大断面図である。

【図2】 そのフィルムの構造を示すものであり、(a)が上面の模式図、(b)が横面の模式図、(c)が下面の模式図である。

【図3】 そのチップとフィルムとを組み上げた状態の半導体装置を示すものであり、(a)が側面図、(b)が平面図、(c)が全回路のブロック図である。

【図4】 本発明の半導体装置の第2実施例について、そのチップ及びフィルムの構造を示すものであり、(a)がチップの主表面の模式図、(b)がチップの一部側面の拡大断面図であり、(c)がフィルムの模式図である。

【図5】 そのチップとフィルムとを組み上げた状態の半導体装置を示すものであり、(a)が外観の斜視図、(b)が全回路のブロック図である。

【図6】 本発明の半導体装置の第3実施例について、そのフィルムの構造を示すものであり、(a)が上側フィルムの下面図、(b)が下側フィルムの上面図である。

【図7】 そのフィルム等を組み上げた状態の半導体装置を示すものであり、(a)が外観の側面図、(b)が全回路のブロック図である。また、(c)はICカードにまとめ上げたものについての全体外観の斜視図であり、(d)は物品タグにまとめ上げたものについての全体外観の斜視図である。

【図8】 本発明の半導体装置の第4実施例について、(a)がフィルム上面の模式図であり、(b)及び(c)は、そのフィルムと図1のチップとを組み上げた状態の半導体装置を示し、(b)が側面図、(c)が平面図である。

【図9】 本発明の半導体装置の第5実施例について、(a)がフィルム上面の模式図であり、(b)が、そのフィルムと図4のチップとを組み上げた状態の外観を示す斜視図である。

【図10】 従来の一般的なICカードについて、(a)が全体外観の斜視図であり、(b)が全回路のブロック図である。

【図11】 公知な改良品の外観斜視図および回路ブロック図である。

【図12】 他の改良品の外観斜視図および回路ブロック図である。

【図13】 別の改良品の外観斜視図および回路ブロック図である。

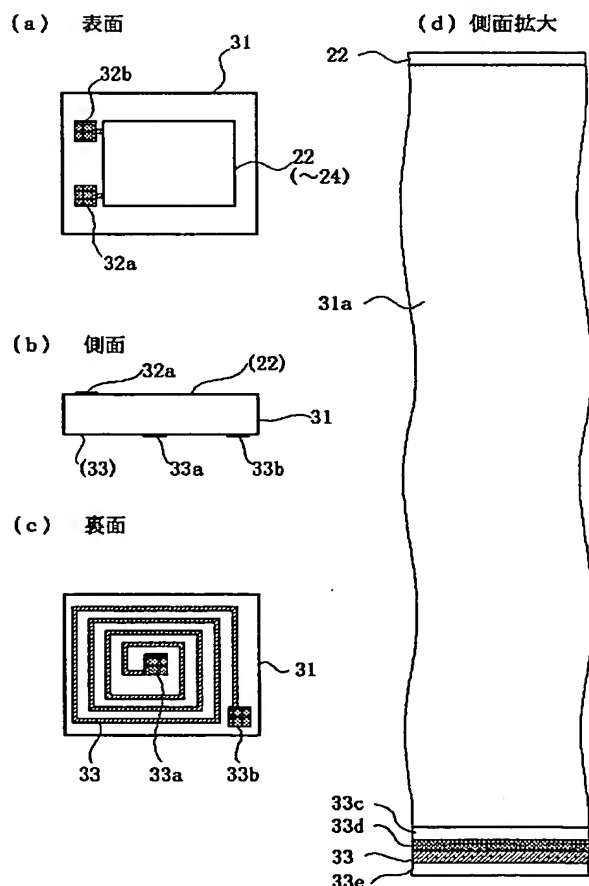
【符号の説明】

- 10 ICカード
- 11 表層板(外装部材)
- 11a 外周部材(外装部材)
- 12 コイル
- 20 半導体装置
- 21 チップ(シリコンICチップ、ハイブリッドモジュール)
- 22 応用プロセッサ(通信、制御、メモリ、電源、処理回路)
- 23 平滑コンデンサ(処理回路)
- 24 同調コンデンサ(処理回路)
- 25 フィルム
- 30 半導体装置
- 31 チップ(シリコンICチップ)
- 31a サブストレート(シリコン基板)
- 32a 接点(主表面における処理回路側の一方の接続端子)
- 32b 接点(主表面における処理回路側の他方の接続端子)
- 33 コイル(導体層)
- 33a 接点(裏面におけるコイル側の一方の接続端子)
- 33b 接点(裏面におけるコイル側の他方の接続端子)
- 33c 層間絶縁膜(酸化膜)
- 33d 磁性層(酸化鉄)
- 33e 絶縁保護膜(酸化膜)
- 34 フィルム(TAB、FPC)
- 35 中央部
- 35a 切り込み
- 36 辺縁部

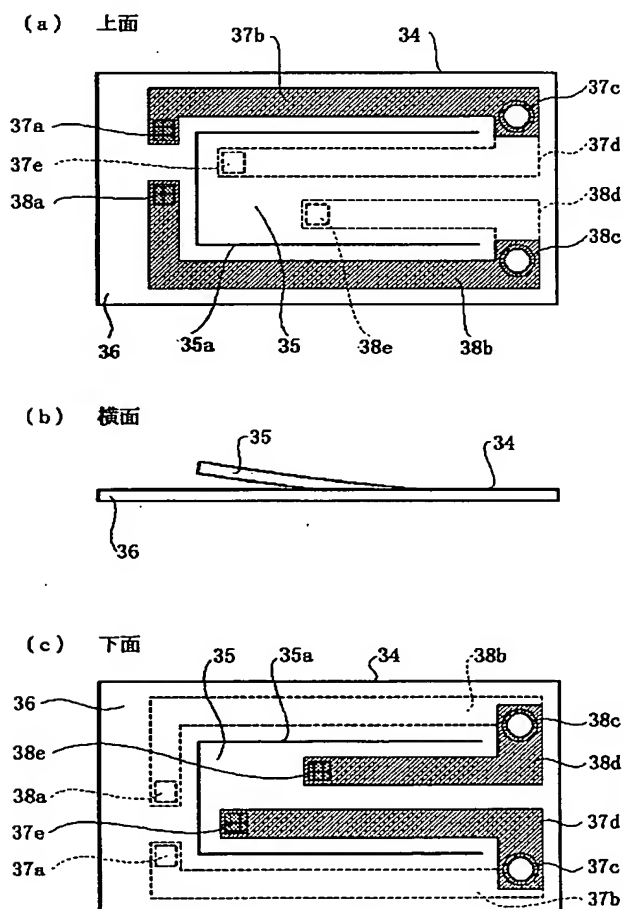
- 37a 接点 (露出部、接続端子、一方の配線)
- 37b 導線 (非露出部、一方の配線)
- 37c スルーホール (貫通穴、一方の配線)
- 37d 導線 (非露出部、一方の配線)
- 37e 接点 (接続端子、一方の配線)
- 38a 接点 (露出部、接続端子、他方の配線)
- 38b 導線 (非露出部、他方の配線)
- 38c スルーホール (貫通穴、他方の配線)
- 38d 導線 (非露出部、他方の配線)
- 38e 接点 (接続端子、他方の配線)
- 40 半導体装置
- 41 チップ (シリコン IC チップ)
- 43 コイル (二番目の導体層、多重導体層)
- 43a 磁性層 (酸化鉄、二番目の磁性層)
- 43b 絶縁保護膜 (酸化膜)
- 44 フィルム (TAB、FPC)
- 45 中央部
- 45a 切り込み
- 45b 切り込み
- 50 半導体装置
- 54 上側フィルム (TAB、FPC)

- 54a 接点 (露出部、接続端子、他方の配線)
- 54b 接点 (露出部、接続端子、一方の配線)
- 55 下側フィルム (TAB、FPC)
- 55a 接点 (露出部、接続端子、他方の配線)
- 55b 接点 (露出部、接続端子、一方の配線)
- 60 IC カード
- 70 物品タグ
- 80 半導体装置
- 84 フィルム (フィルム 34 の代替品、TAB、FPC)
- 87e 打ち抜き穴 (接点 37e の代替品)
- 88e 打ち抜き穴 (接点 38e の代替品)
- 89a 半田バンプ (接続手段)
- 89b 半田バンプ (接続手段)
- 90 半導体装置
- 94 フィルム (フィルム 44 の代替品、TAB、FPC)
- 97e 打ち抜き穴 (接点 37e の代替品)
- 98e 打ち抜き穴 (接点 38e の代替品)
- 99a 半田バンプ (接続手段)
- 99b 半田バンプ (接続手段)

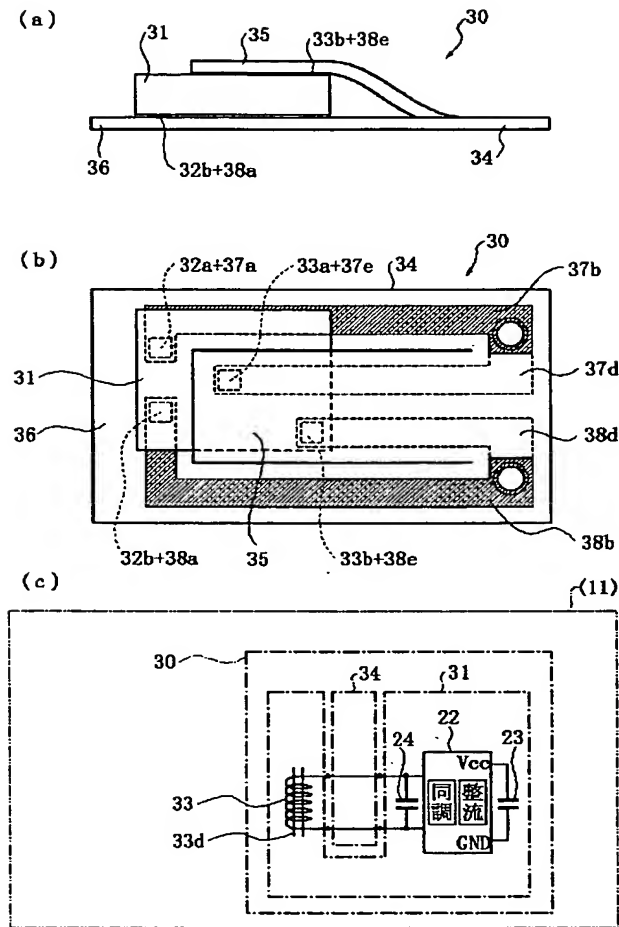
【図 1】



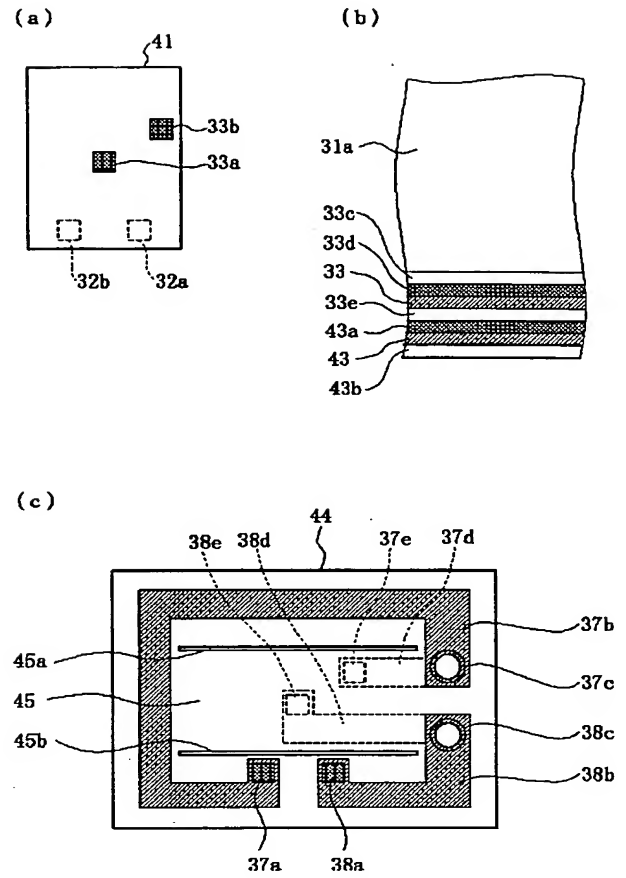
【図 2】



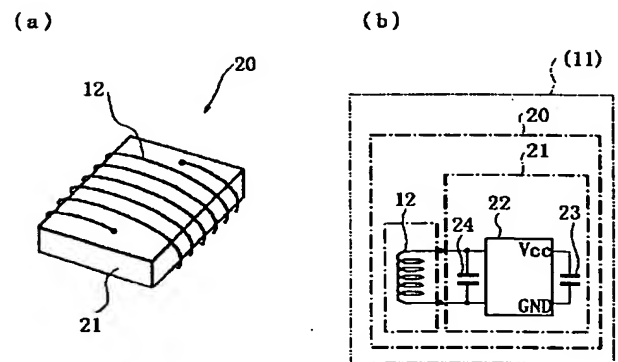
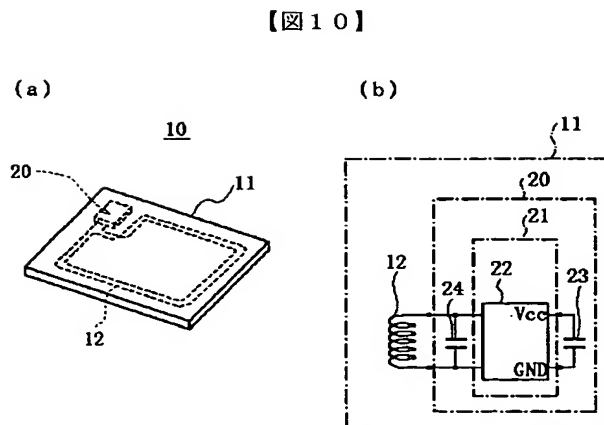
【図 3】



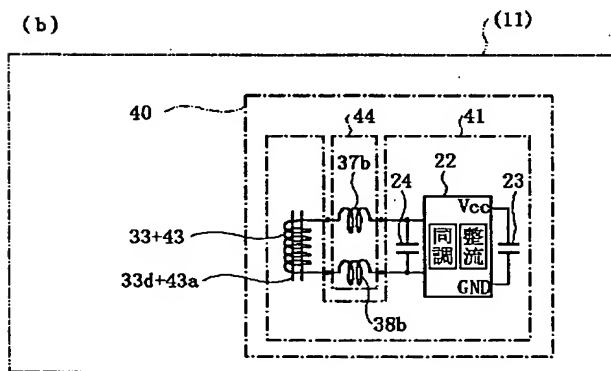
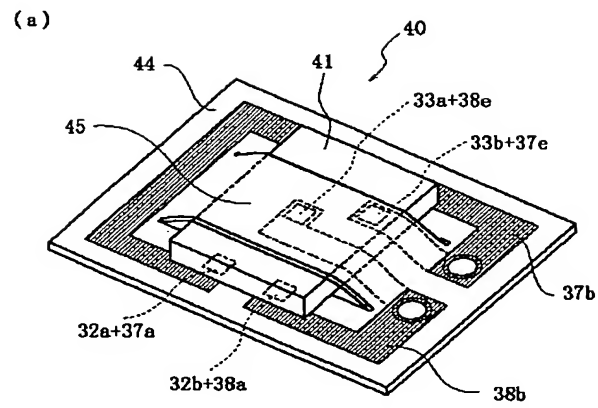
【図 4】



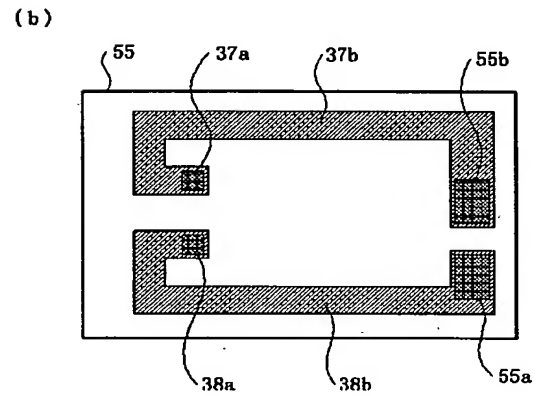
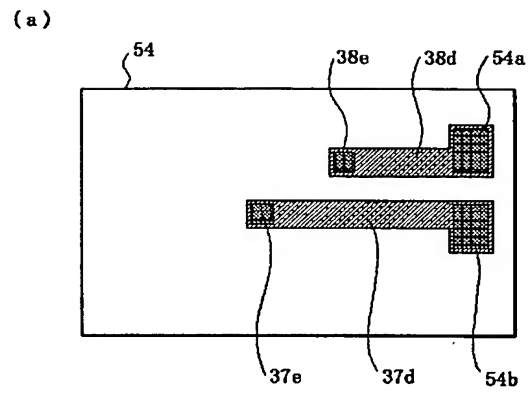
【図 11】



【図 5】

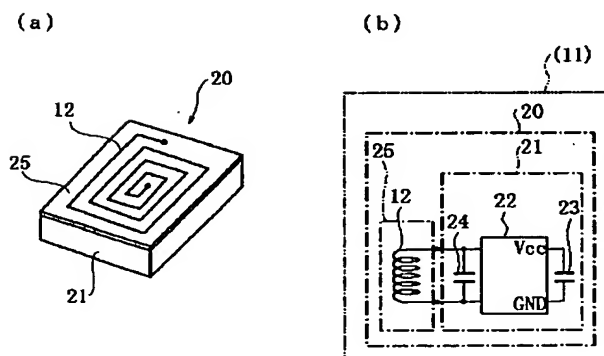


【図 6】

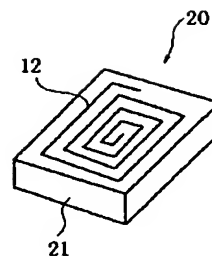


【図 13】

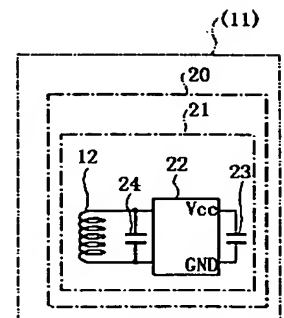
【図 12】



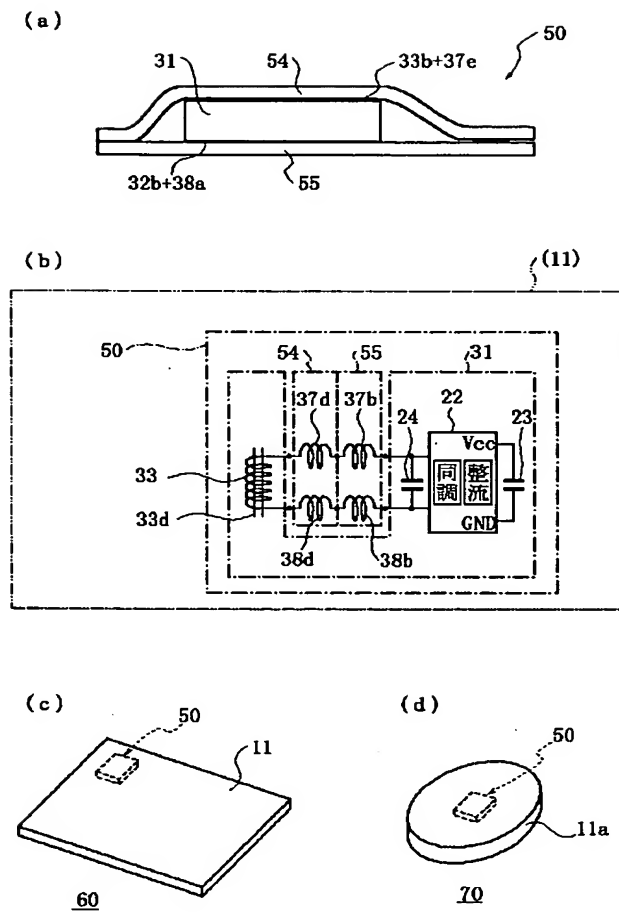
(a)



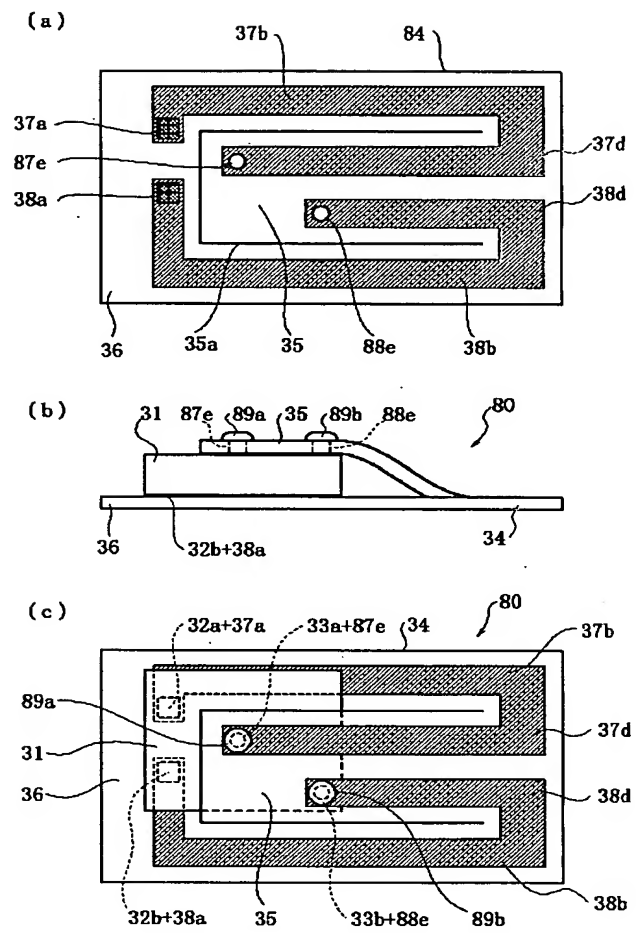
(b)



【図 7】

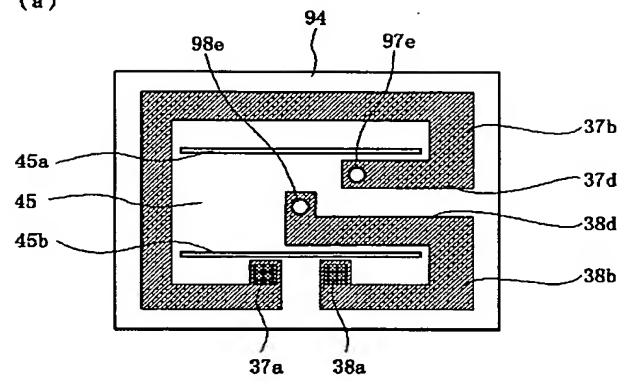


【図 8】

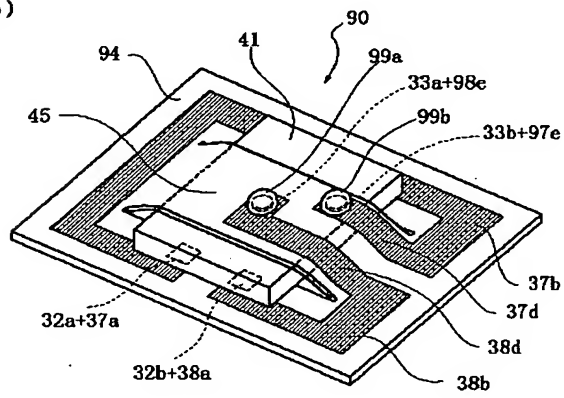


【図 9】

(a)



(b)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.